

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-184297

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

G06F 13/16

(21)Application number : 11-370874

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.1999

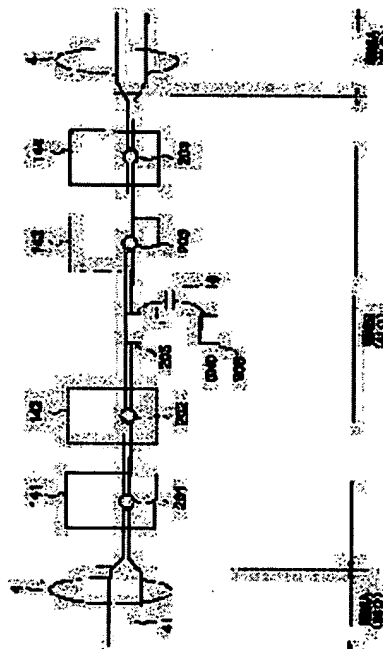
(72)Inventor : NINOMIYA RYOJI

## (54) COMPUTER SYSTEM, ELECTRONIC EQUIPMENT, AND SYSTEM CIRCUIT BOARD

## (57)Abstract:

PROBLEM TO BE SOLVED: To make mountable a necessary number of high speed memories at need without re-designing a system circuit board for every product model.

SOLUTION: A connecting terminal for connecting a capacitive device such as a capacitor to a memory bus line 4 and the mounting area of the capacitive device 16 are arranged on a system circuit board. The capacitive device 16 is used for absorbing the difference of capacity loads due to the number of the mounting of the high speed memory devices 141-144 so that the characteristic impedance of a memory bus line 4 can be matched with a specific value regardless of the number of the mounting of the memory devices. Therefore, it is possible to mount and use the necessary number of high speed memory devices at need without re-designing the system circuit board for every product.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-184297

(P2001-184297A)

(43)公開日 平成13年7月6日(2001.7.6)

(51)Int.Cl.<sup>7</sup>

G 0 6 F 13/16

識別記号

5 1 0

F I

G 0 6 F 13/16

テ-マ-ト\*(参考)

5 1 0 Z 5 B 0 6 0

審査請求 未請求 請求項の数14 O L (全 8 頁)

(21)出願番号

特願平11-370874

(22)出願日

平成11年12月27日(1999.12.27)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 二宮 良次

東京都青梅市末広町2丁目9番地 株式会  
社東芝青梅工場内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

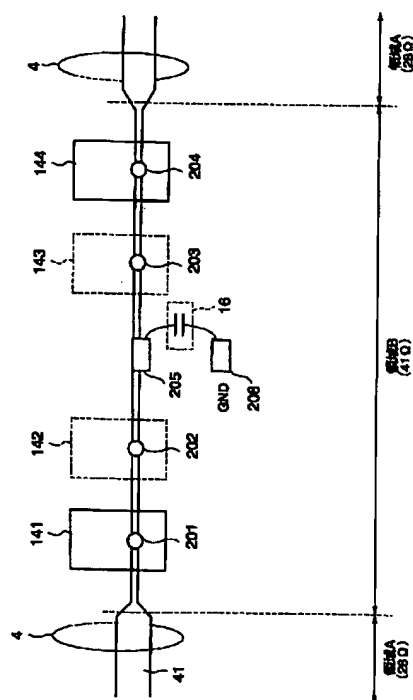
Fターム(参考) 5B060 MM01 MM09

(54)【発明の名称】 コンピュータシステムおよび電子機器並びにシステム回路基板

(57)【要約】

【課題】製品モデル毎にシステム回路基板を設計し直すことなく、必要に応じて必要な個数の高速メモリメモリを実装できるようにする。

【解決手段】システム回路基板には、コンデンサなどの容量性デバイス16をメモリバスライン4に接続するための接続端子、およびその容量性デバイス16の実装エリアが設けられている。容量性デバイス16は、高速メモリデバイス141~144の実装個数による容量負荷の違いを吸収するために使用されるものであり、これによりメモリデバイスの実装個数によらず、メモリバスライン4の特性インピーダンスを規定値に合わせることができる。よって、製品毎にシステム回路基板を設計し直すことなく、必要に応じて必要な個数の高速メモリデバイスを実装して使うことが可能となる。



## 【特許請求の範囲】

【請求項 1】 メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、

前記複数のメモリ実装エリアに接続されるように前記回路基板上に配設されたメモリバスラインと、

前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスを前記メモリバスライン上に接続するための接続端子とを具備することを特徴とするコンピュータシステム。

【請求項 2】 前記メモリバスラインは、前記複数のメモリ実装エリアの近傍の所定の配線領域においてはインピーダンスが規定値よりも高くなるように構成されており、

前記接続端子は、実装されたメモリデバイスおよび前記容量性デバイスの容量負荷によって前記所定の配線領域における前記メモリバスラインのインピーダンスが規定値に設定されるように、前記所定の配線領域内のメモリバスライン上に設けられていることを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 3】 前記接続端子は、前記容量性デバイスを着脱自在に前記回路基板に取り付け可能な部材から構成されていることを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 4】 前記容量性デバイスは、容量負荷の値を変設定可能な可変容量デバイスであり、前記回路基板上に実装されるメモリデバイスの個数に応じて、前記可変容量デバイスの負荷容量の値を調整する手段をさらに具備することを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 5】 メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、前記複数のメモリ実装エリアに接続されるように前記回路基板上に配設されたメモリバスラインと、前記メモリバスラインに接続されるように前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための可変容量性デバイスとを具備することを特徴とするコンピュータシステム。

【請求項 6】 前記コンピュータシステムに実装されたメモリデバイスの個数を検出する手段と、前記検出されたメモリデバイスの個数に応じて、前記可変容量性デバイスの負荷容量の値を調整する手段とを具備することを特徴とする請求項 5 記載のコンピュータシステム。

【請求項 7】 前記回路基板は、CPU およびその周辺チップセットが搭載されるシステム回路基板であることを特徴とする請求項 1 または 5 記載のコンピュータシステム。

【請求項 8】 メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、

前記複数のメモリ実装エリアに接続されるように前記回

路基板上に配設されたメモリバスラインと、

前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスとを具備することを特徴とするコンピュータシステム。

【請求項 9】 メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、

前記複数のメモリ実装エリアに接続されるように前記回路基板上に配設されたメモリバスラインと、

前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスを前記メモリバスライン上に接続するための接続端子とを具備することを特徴とする電子機器。

【請求項 10】 メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、

前記複数のメモリ実装エリアに接続されるように前記回路基板上に配設されたメモリバスラインと、

前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスとを具備することを特徴とする電子機器。

【請求項 11】 メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、

前記複数のメモリ実装エリアに接続されるように前記回路基板上に配設されたメモリバスラインと、

前記メモリバスラインに接続されるように前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための可変容量性デバイスとを具備することを特徴とする電子機器。

【請求項 12】 コンピュータシステムを構成する各種電子部品が実装されるシステム回路基板であって、

前記システム回路基板上に設けられ、メモリデバイスを実装するための複数のメモリ実装エリアと、

前記複数のメモリ実装エリアに接続されるように前記システム回路基板上に配設されたメモリバスラインと、

前記システム回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスを前記メモリバスライン上に接続するための接続端子とを具備することを特徴とするシステム回路基板。

【請求項 13】 コンピュータシステムを構成する各種電子部品が実装されるシステム回路基板であって、

前記システム回路基板上に設けられ、メモリデバイスを実装するための複数のメモリ実装エリアと、

前記複数のメモリ実装エリアに接続されるように前記システム回路基板上に配設されたメモリバスラインと、

前記システム回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスとを具備することを特徴とするシステム回路基板。

【請求項 14】 コンピュータシステムを構成する各種電子部品が実装されるシステム回路基板であって、

## 3

前記システム回路基板上に設けられ、メモリデバイスを実装するための複数のメモリ実装エリアと、

前記複数のメモリ実装エリアに接続されるように前記システム回路基板上に配設されたメモリバスラインと、前記メモリバスラインに接続されるように前記システム回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための可変容量性デバイスとを具備することを特徴とするシステム回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はコンピュータシステムおよび電子機器並びにシステム回路基板に関し、特に高速メモリシステムの実装に好適なコンピュータシステムおよび電子機器並びにシステム回路基板に関する。

【0002】

【従来の技術】近年、パーソナルコンピュータなどのコンピュータシステムにおいては、システム性能の向上を図るために、メモリ速度の改善が進められている。一般に、メモリ速度はCPU速度よりも遅い。このため、高速CPUを用いても、メモリ速度がボトルネックとなり十分なシステム性能の向上を行うことが出来なくなる。これを改善するため、高速メモリの開発が進められており、主記憶として使用されるメモリデバイスは、DRAMからEDOモード付きDRAM、シンクロナスDRAMへと移行し、また最近では、ラムバス社のRambus DRAMなどの高速メモリデバイスが使用され始めている。

【0003】このようなメモリデバイスの高速化技術に伴い、システム基板上でのメモリアクセスのサイクルタイムも年々高速化されおり、現在では、4百MHz程度の高速メモリアクセスの設計が必要とされつつある。このような高速メモリアクセスを使用する場合には、信号の反射等による不具合を防止するために、厳密なインピーダンス整合を図ることが必要となる。

【0004】

【発明が解決しようとする課題】ところで、シンクロナスDRAMを使った従来のコンピュータシステムにおいては、マザーボード（システム回路基板）上に予め複数のメモリ実装エリアを用意しておき、必要に応じて必要な個数のメモリを実装して使うことができた。これは、マザーボードは共通で、製品毎に実装メモリ容量を変えたシステムを作る上で非常に便利な方法である。製品毎にマザーボードを設計し直す必要が無くなるので、コスト低減を図ることもできる。

【0005】しかしながら、厳密なインピーダンス整合が要求される高速メモリシステムにおいては、メモリ自体の容量負荷をも考慮することが必要となる。メモリの実装個数によってメモリバスラインのインピーダンスが変化してしまうからである。このため、全てのメモリ実装エリアにメモリが実装されている場合と、空きメモリ

## 4

実装エリアが存在する場合とは、メモリバスラインのインピーダンスが異なってしまう、必要に応じて必要な個数のメモリを実装して使うという上述の方法を利用することは実際上困難である。

【0006】本発明はこのような事情に鑑みてなされたものであり、実装されるメモリデバイスの個数によらずにメモリバスラインのインピーダンスを規定値に設定できるようにし、製品毎にシステム回路基板を設計し直すことなく、必要に応じて必要な個数のメモリを実装して使うことが可能なコンピュータシステムおよび電子機器並びにシステム回路基板を提供することを目的とする。

【0007】

【課題を解決するための手段】上述の課題を解決するため、本発明のコンピュータシステムは、メモリデバイスを実装するための複数のメモリ実装エリアを有する回路基板と、前記複数のメモリ実装エリアに接続されるように前記回路基板上に配設されたメモリバスラインと、前記回路基板上に設けられ、メモリデバイスの実装個数による容量負荷の違いを吸収するための容量性デバイスを前記メモリバスライン上に接続するための接続端子とを具備することを特徴とする。

【0008】このコンピュータシステムにおいては、容量性デバイスをメモリバスライン上に接続するための接続端子が回路基板上に予め設けられているので、メモリデバイスの実装個数による容量負荷の違いを、接続端子に接続される容量性デバイスの負荷容量によって調整することができる。よって、実装されるメモリデバイスの個数によらずにメモリバスラインのインピーダンスを規定値に設定できるようになり、製品毎にシステム回路基板を設計し直すことなく、必要に応じて必要な個数のメモリを実装して使うことが可能となる。

【0009】また、前記メモリバスラインについては、前記複数のメモリ実装エリアの近傍の所定の配線領域においてはインピーダンスが規定値よりも高くなるように構成し、前記接続端子は、実装されたメモリデバイスおよび前記容量性デバイスの容量負荷によって前記所定の配線領域における前記メモリバスラインのインピーダンスが規定値に設定されるように、前記所定の配線領域内のメモリバスライン上に設けることが好ましい。

【0010】また、接続端子は半田づけ用の実装パッドとして実現する事ができる。また、ソケットなどによって実現しても良く、これにより容量性デバイスを着脱自在に装着することができる。

【0011】また、容量性デバイスとしては、容量負荷の値を変設定可能な可変容量デバイスを使用することもできる。この場合、メモリ実装個数に応じて使用する容量性デバイスの容量を変える必要が無くなるので、回路基板の汎用性をより高めることが可能となる。可変容量デバイスの容量負荷の調整は、メモリデバイスの実装個数に応じて行えばよい。

## 【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図1には、本発明の一実施形態に係るコンピュータシステムの構成が示されている。このコンピュータシステムはノートブックタイプのパーソナルコンピュータ（PC）であり、そのシステム回路基板（マザーボードまたはシステムボードと称されることもある）上には、図示のように、CPUバス（プロセッサバス）1、PCIバス2、ISAバス3、メモリバス4、CPU11、ホスト-PCIブリッジ12、内部メモリ14、メモリ拡張スロット15、PCI-ISAブリッジ17、他の各種PCIデバイス18、およびBIOS-ROM19などが実装されている。

【0013】CPU11は本システム全体の動作を制御するためのものであり、システムBIOSおよびオペレーティングシステムを初め、各種アプリケーションプログラムを実行する。ホスト-PCIブリッジ12は、CPUバス1とPCIバス2を双方向で接続するバスブリッジ装置であり、ここにはシステム回路基板上に実装された内部メモリ14、およびメモリ拡張スロット15に取り外し自在に装着される拡張メモリモジュールをアクセス制御するためのメモリコントローラ13が内蔵されている。メモリコントローラ13は図示のようにメモリバスライン4を介して内部メモリ14およびメモリ拡張スロット15に接続されている。

【0014】内部メモリ14としては、ラムバス規格のRambusメモリなどの高速半導体メモリデバイス141~143が使用される。システム回路基板上には高速半導体メモリデバイスのチップを実装するための複数のメモリ実装エリアが設けられており、最大でメモリ実装エリアの数（図においては4個）だけメモリデバイスを実装することができる。メモリデバイスの実装個数は、本コンピュータシステムの製品モデルなどに合わせて決定される。

【0015】また、システム回路基板上には、コンデンサなどの容量性デバイス16をメモリバスライン4に接続するための接続端子、およびその容量性デバイス16の実装エリアも設けられている。容量性デバイス16は、メモリデバイスの実装個数による容量負荷の違いを吸収するために使用されるものであり、これによりメモリデバイスの実装個数によらず、メモリバスライン4の特性インピーダンスを高速メモリバスインターフェイス規格に準拠した規定値に合わせることができる。

【0016】PCI-ISAブリッジ17は、PCIバス2とISAバス3を双方向で接続するブリッジ装置であり、ホスト-PCIブリッジ12と共に、本コンピュータシステムの周辺チップセットとして機能する。

【0017】BIOS-ROM19には、システムBIOS（Basic I/O System）が格納されている。システムBIOSは、本コンピュータシステムのハード

ウェア制御のための機能を体系化したものであり、システムの電源オン/オフ制御、およびシステム起動処理などを実行する。

【0018】（メモリ実装構造）次に、図2を参照して、システム回路基板上における内部メモリ周りの実装構造について説明する。メモリバスライン4はメモリコントローラ13からメモリ拡張スロット15に渡って、システム回路基板として用いられるプリント回路基板上に延在されている。ここで、領域Bはシステム回路基板上のメモリ実装エリアに対応する配線領域であり、またその両端の領域Aはそれぞれメモリコントローラ13およびメモリ拡張スロット15側に延びる配線領域である。メモリバスライン4は、例えば18ビット幅のデータ線、8ビット幅のアドレス/コマンド線、読み出しクロック信号線、書き込みクロック信号線、などを含む多数の信号線から構成されているが、どの信号線も実装形式は同じであるので、ここでは、各信号線を代表して一つの信号線41だけが示されている。

【0019】領域Bには、メモリデバイス141~144を実装するための4個のメモリ実装エリアが予め用意されている。これら4個のメモリ実装エリアには、それぞれメモリデバイス実装パッド201~204が設けられている。実際には、図3に示すように、各メモリ実装エリア毎に、メモリバスライン4を構成するメモリ信号線数の数（メモリデバイスのピン数）に相当する実装パッド（部品取り付け穴）がシステム回路基板上に設けられることになる。

【0020】また、領域Bには、容量性デバイス16を実装するための一対のコンデンサ実装パッド205、206も設けられている。コンデンサ実装パッド205はメモリバスライン4を構成する各信号線41に接続され、またコンデンサ実装パッド206はグラウンド線に接続されている。

【0021】メモリバスライン4を構成する各信号線41は、領域Aにおいては規定のインピーダンス（=28Ω）で形成されているが、領域Bにおいては図2に示されているように配線のパターン幅を狭くすることによって、領域Aよりもインピーダンスが高く設定されている。メモリデバイスには負荷容量Cが存在するため、メモリデバイスを実装すると、その分だけインピーダンスが変化される。

【0022】インピーダンスは、領域Bにおけるメモリバスライン4のインダクタンスをLとし、領域Bにおけるメモリバスライン4の全容量をCとすると、 $(L/C)^{1/2}$ で表すことができる。つまり、メモリデバイスがメモリバスライン4上に追加されると、メモリバスライン4のインピーダンスはその分だけ下がることになる。このことを考慮し、本実施形態では、領域Bにおけるメモリバスライン4そのものの線路インピーダンスは規定値よりも高い値、例えば41Ωに設定している。こ

の値は、4個のメモリデバイス141～144が実装された時に、それら各メモリデバイスの負荷容量によって領域Bのインピーダンスが規定のインピーダンス(=28Ω)になるように決められたものである。

【0023】この場合、4個のメモリデバイス141～144を実装した状態においては、メモリバスライン4を構成する各信号線41にインピーダンスの不連続は生じない(全て28Ω)。したがって、400MHzもの高速信号を歪みなく伝達することができる。しかし、メモリデバイスの実装個数が4個よりも少ない場合には、領域Bにおけるメモリバスライン4のインピーダンスは規定値と異なってしまい、信号品質に影響を与えてしまう。

【0024】本実施形態においては、メモリ実装エリアの中央部にコンデンサ実装パッド205、206を予め設け、必要に応じて容量性デバイス16を実装できるように構成しているので、メモリデバイスの実装個数に合わせて、容量性デバイス16として実装する素子の負荷容量を変えることにより、領域Bのインピーダンスを目的値に合わせ込むことができる。

【0025】例えば、図2の点線で示されているように、メモリデバイス142、143については実装せず、メモリデバイス141、144だけを実装した場合には、メモリデバイス142、143の2個分の負荷容量を有する容量性デバイス16をコンデンサ実装パッド205、206に実装し、またメモリデバイス141～144の全てを実装する場合には、容量性デバイス16を実装しないことにより、インピーダンスを合わせることができる。

【0026】なお、コンデンサ実装パッド205、206としては、例えばソケットなどのように、容量性デバイス16を着脱自在にシステム回路基板上に取り付けられる構造のものを使用しても良い。

【0027】また、容量性デバイス16は領域B内のメモリバスライン4に接続されればよいので、容量性デバイス16の実装エリアは必ずしもメモリ実装エリアの中央部でなくとも良い。

【0028】また、メモリデバイス141～144はシステム回路基板上に実装されるオンボードメモリであるので、メモリデバイスの数は製造課程で予め決められる。このため、工場出荷時には、システム回路基板のコンデンサ実装パッド205、206にメモリデバイスの数に対応するコンデンサが実装された状態で出荷されるか、あるいはコンデンサが実装されずに出荷されることになる。

【0029】(メモリ実装構造#2)次に、図4を参照して、内部メモリ周りの実装構造の第2の例について説明する。ここでは、容量性デバイス16の代わりに、容量負荷の値を変設定可能な可変容量デバイス303をメモリ実装エリアに設けている。すなわち、領域Bのメ

モリ実装エリアの中央部には、可変容量デバイス303を実装するための一対のコンデンサ実装パッド301、302が設けられている。コンデンサ実装パッド301はメモリバスライン4を構成する各信号線41に接続され、またコンデンサ実装パッド302は、容量制御用電源Vが与えられる電源端子302に接続されている。

【0030】可変容量デバイス303としては、例えばPN接合ダイオードを用いたものなどを使用することができる。PN接合ダイオードのアノードを信号線41側に接続し、カソードを電源端子302に接続した場合、電源端子302の容量制御用電源Vを変化させることにより、PN接合ダイオードの寄生容量は図5のように変化する。

【0031】したがって、メモリデバイスの実装個数と容量制御用電源Vとの関係を予め決めておくことにより、目的のインピーダンスを容易に得ることが可能となる。もちろん、メモリデバイス141～144の全てを実装する場合には、可変容量デバイス303の容量負荷が実質的に零となるように設定すればよい。また、可変容量デバイス303の容量負荷を零に設定できない場合には、可変容量デバイス303の容量負荷をも考慮して、領域Bにおけるメモリバスライン4の線路インピーダンスの値を予め設計しておけばよい。

【0032】容量制御用電源Vは可変電源電圧発生回路304によって発生される。この可変電源電圧発生回路304から発生される容量制御用電源Vの調整は、ディップスイッチなどによって手動で行っても良いが、システムBIOSの制御の下、可変電源電圧発生回路304内のレジスタ305に制御データを設定し、その制御データの値に応じて容量制御用電源Vの値を可変制御しても良い。

【0033】この場合のシステムBIOSの処理手順を図6を用いて説明する。本コンピュータシステムがパワーオンされると、システムBIOSは、まず、各種ハードウェアの初期化处理などを行う。このとき、メモリデバイスの実装個数をチェックする(ステップS101)。Rambusメモリにおいては、その初期化制御等のために使用される専用の信号線(S<sub>lin</sub>, S<sub>Iout</sub>など)が用意されている。この信号線はデジタイゼーションで複数のメモリデバイスに接続されている。例えば、この信号線を介して、各メモリデバイス内のコントロールレジスタをメモリコントローラ13に最も近いメモリデバイスから順にアクセスしていき、次段へのアクセスができなくなるまでのアクセス回数等から、メモリデバイスの実装個数を検出することができる。

【0034】次いで、システムBIOSは、予め決められたメモリデバイス実装個数と容量制御用電源Vとの対応関係情報に基づき、可変電源電圧発生回路304内のレジスタ305に適切な制御データを設定する(ステップS102)。これにより、可変容量デバイス303の

容量をメモリデバイスの実装個数に合わせて自動調整することが可能となる。

【0035】以上のように、図4の実装構造においては、メモリ実装個数に応じて使用する容量性デバイスの容量を変える必要が無くなるので、システム回路基板の汎用性をより高めることが可能となる。

【0036】なお、メモリ実装個数の検出は接点スイッチなどによって行うことも可能である。また、図2および図3の実装構造は、高速メモリサブシステムを搭載する様々な回路基板に適用することができ、コンピュータシステムの基板のみならず、高速メモリを使用するゲーム機やビデオプレーヤなどの各種電子機器の回路基板等にも適用することができる。また、メモリデバイスだけを搭載し、メモリモジュールとして使用されるような回路基板に適用しても良い。

【0037】

【発明の効果】以上説明したように、本発明によれば、実装されるメモリデバイスの個数によらずにメモリバスラインのインピーダンスを目的とする規定値に設定できるようになり、製品毎にシステム回路基板を設計し直すことなく、必要に応じて必要な個数のメモリを実装して使うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るコンピュータシステムの構成を示すブロック図。

【図2】同実施形態のコンピュータシステムで使用され

るシステム回路基板におけるメモリ周辺の実装構造の第1の例を示す図。

【図3】図2のシステム回路基板に設けられるメモリデバイス実装パッドとメモリバスラインとの関係を示す図。

【図4】同実施形態のコンピュータシステムで使用されるシステム回路基板におけるメモリ周辺の実装構造の第2の例を示す図。

【図5】図4で使用される可変容量デバイスの電圧対容量の特性を示す図。

【図6】同実施形態のコンピュータシステムのシステムBIOSによって実行される容量調整処理の原理を示すフローチャート。

【符号の説明】

4…メモリバスライン

11…CPU

12…ホストPCIブリッジ

13…メモリコントローラ

14…内部メモリ

141～144…高速メモリデバイス

15…メモリ拡張スロット

16…容量性デバイス

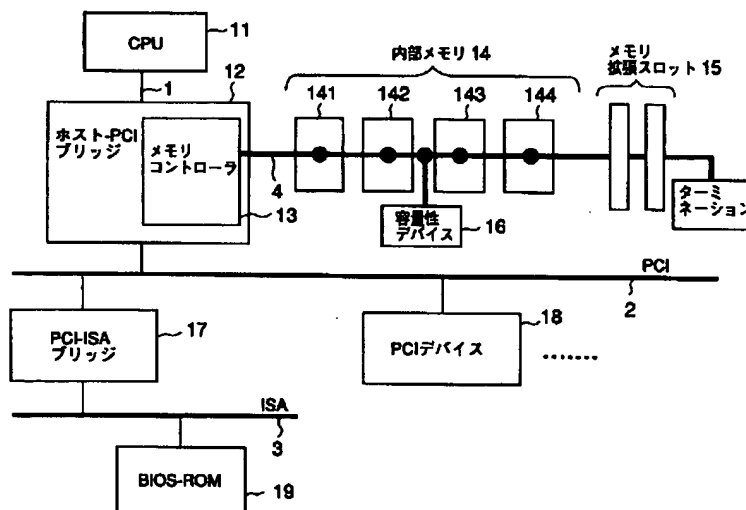
19…BIOS-ROM

201～204…メモリデバイス実装パッド

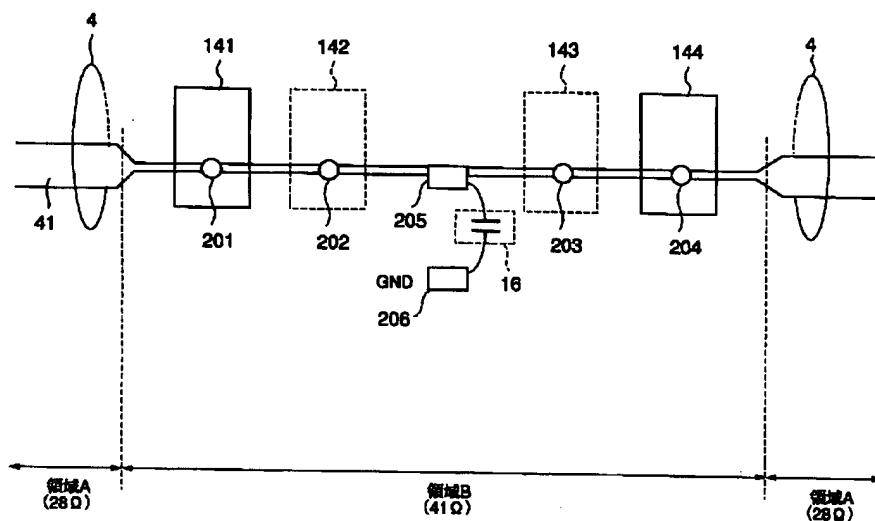
205, 206…コンデンサ実装パッド

303…可変容量デバイス

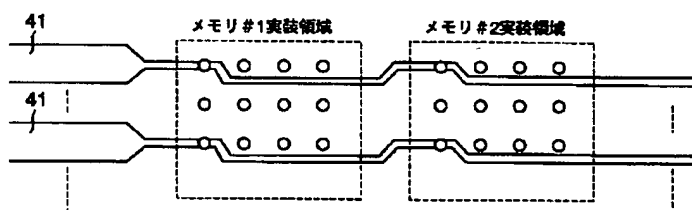
【図1】



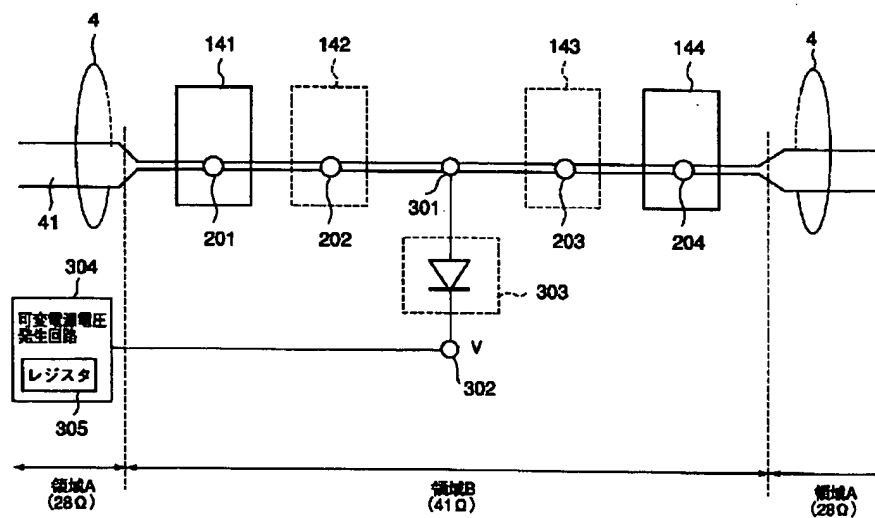
【図2】



【図3】

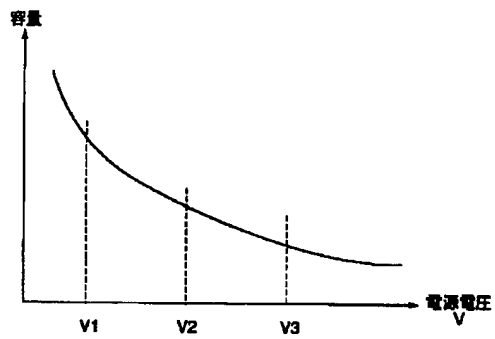


【図4】





【図5】



【図6】

